

Family list

1 family member for: **JP6082863U**

Derived from 1 application

1 No title available

Inventor:

Applicant:

EC:

IPC: H01L29/78; H01L29/786; H01L29/66 (+1

Publication info: JP6082863U U - 1994-11-25

Data supplied from the **esp@cenet** database - Worldwide

(19) Japan Patent Office (JP)

(12) Published Utility Model Application (U)

(11) Utility Model Application Publication Number: H6-82863

(43) Date of Publication: November 25, Heisei 6 (1994)

(51) Int.Cl. ⁵	Classification Symbol	FI		
	H01L 29/784	9056-4M	H01L 29/78	311 N
		9056-4M		311 F

Request for Examination: not filed

The number of Claims: 1

FD (2 pages in total)

(21) Application No: H5-27241

(22) Date of Filing: April 27, Heisei 5 (1993)

(71) Applicant: 000001443

CASIO COMPUTER CO., LTD.

2-6-1, Nishi-shinjuku, Shinjuku-ku, Tokyo

(72) Creator of Device: SATO Toshihiko

c/o Hachioji Laboratory, CASIO COMPUTER CO., LTD.

2951-5, Ishikawa-cho, Hachioji-shi, Tokyo

(74) Agent: Patent Attorney, SUGIMURA Jiro

(54) [Title of the Device]

Thin Film Transistor

(57) [Abstract]

[Object]

To prevent degradation of characteristics and electrostatic breakdown such as breakdown of a gate insulating film.

[Structure]

An insulating film 22 is formed as a pattern over surfaces of thin film transistors 2 and 3, that is, over surfaces of source and drain electrodes 20 and 21. A metal film 23 for grounding is formed over surfaces of the insulating film 22 and an interlayer insulating film 17. Then, in the case that excessive static electricity is applied to, for example, the source and drain electrodes 20 and 21 through an

input-output terminal which is exposed to the outside, electrostatic discharge occurs between the source and drain electrodes 20 and 21 and gate electrodes 15 and 16, and further, electrostatic discharge occurs also between the source and drain electrodes 20 and 21 and the metal film 23 for grounding. Accordingly, electric flux lines of the static electricity are dispersed and concentration of electric charge on an upper surface of an insulating substrate 1 and interfaces of gate insulating films 13 and 14 is greatly reduced, whereby degradation of characteristics and electrostatic breakdown such as breakdown of a gate insulating film can be prevented.

[Claim of Utility Model]

[Claim 1]

A thin film transistor characterized in that a surface of a thin film transistor element is covered with an insulating film and a metal film for grounding is provided over a surface of the insulating film.

[Brief Description of the Drawings]

[FIG. 1] A cross-sectional view of a CMOS circuit which is formed using thin film transistors according to an embodiment of this device.

[FIG. 2] A cross-sectional view of a CMOS circuit which is formed using conventional thin film transistors.

[Explanation of Reference]

- 2 NMOS thin film transistor
- 3 PMOS thin film transistor
- 22 insulating film
- 23 metal film for grounding

(19) 日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11) 実用新案出願公開番号

実開平6-82863

(43) 公開日 平成6年(1994)11月25日

(51) Int. Cl. ⁵

H01L 29/784

識別記号

F I

9056-4M

H01L 29/78

311

N

9056-4M

311

F

審査請求 未請求 請求項の数 1 F D (全2頁)

(21) 出願番号 実願平5-27241

(22) 出願日 平成5年(1993)4月27日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 考案者 佐藤 俊彦

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

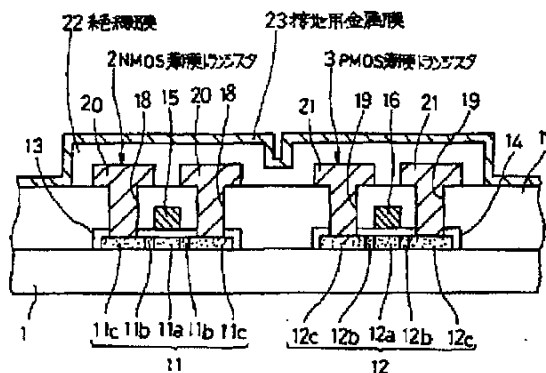
(74) 代理人 弁理士 杉村 次郎

(54) 【考案の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 特性劣化やゲート絶縁膜破壊等の静電破壊が生じないようにする。

【構成】 薄膜トランジスタ2、3の表面には、つまりソース・ドレイン電極20、21の表面には絶縁膜22がパターン形成され、この絶縁膜22および層間絶縁膜17の表面には接地用金属膜23が形成されている。そして、外部に露出された入出力端子を介して例えばソース・ドレイン電極20、21に過大な静電気が印加された場合には、ソース・ドレイン電極20、21とゲート電極15、16との間で静電放電が生じるほかに、ソース・ドレイン電極20、21と接地用金属膜23との間でも静電放電が生じることになる。このため、静電気による電気力線が分散され、絶縁基板1の上面やゲート絶縁膜13、14の界面への電荷の集中が大きく減少し、したがって特性劣化やゲート絶縁膜破壊等の静電破壊が生じないようにすることができる。



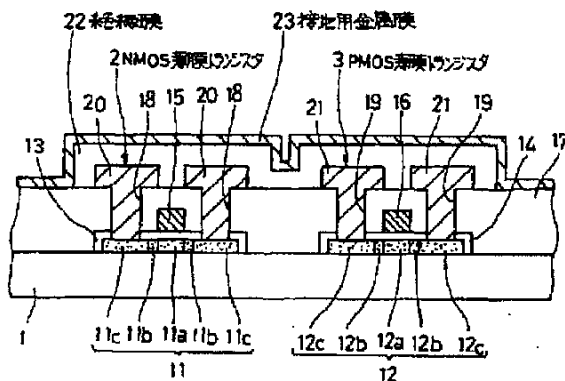
【実用新案登録請求の範囲】

【請求項1】 薄膜トランジスタ素子の表面を絶縁膜で覆い、該絶縁膜の表面に接地用金属膜を設けたことを特徴とする薄膜トランジスタ。

【図面の簡単な説明】

【図1】 この考案の一実施例における薄膜トランジスタによって構成したCMOS回路の断面図。

【図1】

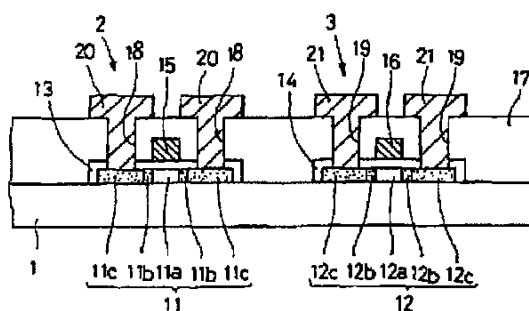


【図2】 従来の薄膜トランジスタによって構成したCMOS回路の断面図。

【符号の説明】

- 2 NMOS薄膜トランジスタ
- 3 PMOS薄膜トランジスタ
- 22 絶縁膜
- 23 接地用金属膜

【図2】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

この考案は薄膜トランジスタに関する。

【0002】

【従来の技術】

図2は従来の薄膜トランジスタによって構成したCMOS回路を示したものである。このCMOS回路では、ガラス等からなる絶縁基板1の上面の各所定の個所にNMOS薄膜トランジスタ2とPMOS薄膜トランジスタ3とが設けられている。各薄膜トランジスタ2、3は、絶縁基板1の上面の各所定の個所にそれぞれパターン形成された半導体薄膜11、12を備えている。薄膜トランジスタ2、3はLDD構造となっている。すなわち、薄膜トランジスタ2、3の半導体薄膜11、12の中央部はチャネル領域11a、12aとされ、その両側は低濃度不純物領域からなる電界緩和領域11b、12bとされ、さらにその両側は高濃度不純物領域からなるソース・ドレイン領域11c、12cとされている。半導体薄膜11、12の表面にはゲート絶縁膜13、14が形成され、チャネル領域11a、12aに対応する部分のゲート絶縁膜13、14の上面にはゲート電極15、16がパターン形成されている。ゲート電極15、16、ゲート絶縁膜13、14および絶縁基板1の全表面には層間絶縁膜17が形成されている。ソース・ドレイン領域11c、12cに対応する部分における層間絶縁膜17およびゲート絶縁膜13、14にはコンタクトホール18、19が形成され、これらコンタクトホール18、19および層間絶縁膜17の上面の各所定の箇所にはソース・ドレイン電極20、21がパターン形成されている。この場合、NMOS薄膜トランジスタ2とPMOS薄膜トランジスタ3の各一方のソース・ドレイン電極20、21は互いに接続されている。

【0003】

【考案が解決しようとする課題】

しかしながら、従来のこのような薄膜トランジスタでは、外部に露出された入出力端子（図示せず）を介して例えばソース・ドレイン電極20、21に過大な

静電気が印加された場合、ソース・ドレイン電極20、21とゲート電極15、16との間で静電放電が生じ、このときソース・ドレイン電極20、21と絶縁基板1の上面やゲート絶縁膜13、14の界面との間に電荷の経路が形成され、この経路の部分が静電放電の際の熱等によって破壊され、この結果特性劣化やゲート絶縁膜破壊等の静電破壊が生じることがあり、信頼性が低いという問題があった。

この考案の目的は、特性劣化やゲート絶縁膜破壊等の静電破壊が生じないようにすることのできる薄膜トランジスタを提供することにある。

【0004】

【課題を解決するための手段】

この考案は、薄膜トランジスタ素子の表面を絶縁膜で覆い、該絶縁膜の表面に接地用金属膜を設けたものである。

【0005】

【作用】

この考案によれば、例えばソース・ドレイン電極に過大な静電気が印加された場合、ソース・ドレイン電極とゲート電極との間で静電放電が生じるほかに、ソース・ドレイン電極と接地用金属膜との間でも静電放電が生じることとなり、このため静電気による電気力線が分散され、静電破壊を生じる箇所への電荷の集中が大きく減少し、したがって特性劣化やゲート絶縁膜破壊等の静電破壊が生じないようにすることができる。

【0006】

【実施例】

図1はこの考案の一実施例における薄膜トランジスタによって構成したCMOS回路を示したものである。この図において、図2と同一部分は同一の符号を付し、その説明を適宜省略する。このCMOS回路では、両薄膜トランジスタ2、3の表面の所定の箇所に、つまりソース・ドレイン電極20、21およびその近傍の層間絶縁膜17の表面に絶縁膜22がパターン形成され、この絶縁膜22および層間絶縁膜17の表面に接地用金属膜23が形成され、この接地用金属膜23が図示しない接地電源ラインに接続された構造となっている。なお、絶縁膜2

2をパターン形成するのは、接地用金属膜23をソース・ドレイン電極20、21の全表面にできるだけ接近されて形成するとともに、ソース・ドレイン電極20、21の表面と接地用金属膜23との間の距離を全体にわたってできるだけ均等にすることにより、ソース・ドレイン電極20、21から接地用金属膜23への静電放電をできるだけ促進するためである。

【0007】

このCMOS回路では、外部に露出された入出力端子（図示せず）を介して例えばソース・ドレイン電極20、21に過大な静電気が印加された場合、ソース・ドレイン電極20、21とゲート電極15、16との間で静電放電が生じるほかに、ソース・ドレイン電極20、21と接地用金属膜23との間でも静電放電が生じることになる。このため、静電気による電気力線が分散され、絶縁基板1の上面やゲート絶縁膜13、14の界面への電荷の集中が大きく減少し、したがって特性劣化やゲート絶縁膜破壊等の静電破壊が生じないようにすることができ、ひいては信頼性を高めることができる。

【0008】

【考案の効果】

以上説明したように、この考案によれば、接地用金属膜との間で静電放電を生じさせることができるので、静電気による電気力線を分散して、静電破壊を生じる箇所への電荷の集中を大きく減少させることができ、したがって特性劣化やゲート絶縁膜破壊等の静電破壊を生じないようにすることができ、ひいては信頼性を高めることができる。